

DPW

03500.017485.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:	)	
MAHITO SHINOHARA	)	Examiner: Not Yet Assigned
Application No.: 10/644,850	)	Group Art Unit: Not Yet Assigned
Filed: August 21, 2003	)	
For: IMAGE PICKUP APPARATUS	)	June 8, 2004

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Sir:

In support of Applicant's claim for priority under 35 U.S.C. § 119, enclosed is a certified copy of the following foreign application:

2002-240554 filed August 21, 2002.

Applicant's undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

  
Attorney for Applicant

Registration No. 43,279

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3801  
Facsimile: (212) 218-2200

10/644850  
cFo 17485 US/as

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年    8 月 2 1 日  
Date of Application:

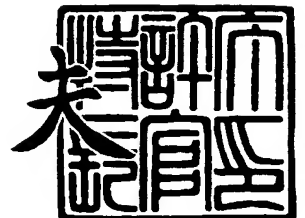
出 願 番 号                      特 願 2 0 0 2 - 2 4 0 5 5 4  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 2 - 2 4 0 5 5 4 ]

出      願                      人                      キヤノン株式会社  
Applicant(s):

2 0 0 3 年    9 月    8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 0 7 3 2 6 9

【書類名】 特許願

【整理番号】 4768003

【提出日】 平成14年 8月21日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H04N 5/335

【発明の名称】 撮像装置

【請求項の数】 9

【発明者】

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社  
内

【氏名】 篠原 真人

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号

【氏名又は名称】 キャノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社  
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

## 【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会  
社内

## 【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

## 【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像装置

【特許請求の範囲】

【請求項 1】 光電変換を行い、光電変換によって生じた信号電荷を蓄積する光電変換部と、前記光電変換部で発生した信号電荷を増幅して出力する増幅用トランジスタとを含む画素を複数配置してなる撮像装置において、

隣接する 2 つの前記画素にそれぞれ含まれる前記増幅用トランジスタの制御電極領域と接続された第一導電型の第一の半導体領域からなる主電極と、前記光電変換部を形成する半導体領域のうち前記第一の半導体領域と反対導電型の第二導電型の半導体領域と同電位であって、第二導電型の第二の半導体領域からなる制御電極領域とで構成され、前記第一の半導体領域を直列接続する接合形電界効果トランジスタと、

前記接合形電界効果トランジスタの主電極領域に所定の電位を供給する電位供給手段と、

を有することを特徴とする撮像装置。

【請求項 2】 請求項 1 において、前記画素に含まれる前記光電変換部に蓄積した信号電荷を前記第一の半導体領域へ転送するための転送トランジスタを有することを特徴とする撮像装置。

【請求項 3】 請求項 1 において、前記第一の半導体領域は、前記光電変換部の一部を構成していることを特徴とする撮像装置。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項において、前記画素に含まれる前記第一の半導体領域の電位を容量結合によって制御する電位制御手段を有することを特徴とする撮像装置。

【請求項 5】 請求項 4 において、前記電位制御手段は、前記増幅用トランジスタの主電極領域に接続された配線であることを特徴とする撮像装置。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 項において、前記電位供給手段は、選択的に第一の電位と前記第一の電位と異なる第二の電位とを供給することが可能であり、前記撮像装置は、さらに、信号を読み出す複数の画素には、前記第一の電位を供給し、信号を読み出さない複数の画素には、前記第二の電位を供

給するように前記電位供給手段を制御する第一の駆動手段を有することを特徴とする撮像装置。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項において、前記電位供給手段から前記接合形電界効果トランジスタの主電極に電位を加え、前記複数の画素にそれぞれ含まれる前記第一の半導体領域を直列接続することにより、前記複数の画素にそれぞれ含まれる前記第一の半導体領域をリセットし、前記リセットにより得られる信号を前記増幅トランジスタより出力する第一のモードと、前記光電変換部で得られた信号電荷に相当する信号を前記増幅トランジスタより読み出す第二のモードとを有する第二の駆動手段と、

前記第一のモードで得られた信号と前記第二のモードで得られた信号との差分処理を行う差分手段と、

を有することを特徴とする撮像装置。

【請求項 8】 請求項 1 乃至 7 のいずれか 1 項において、前記複数の画素の各々は、複数の光電変換部に対して共通の増幅用トランジスタが配置されており、前記複数の光電変換部と前記共通の増幅用トランジスタとを各々接続する転送用トランジスタを有することを特徴とする撮像装置。

【請求項 9】 請求項において、前記複数の画素に光を結像するレンズと、前記複数の画素からの信号をアナログ信号に変換するアナログ・デジタル変換回路と、前記アナログ・デジタル変換回路からの信号を処理する信号処理回路とを有する撮像装置。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

##### 【発明の属する技術分野】

本発明は被写体像を撮像する撮像装置に関する。

##### 【0 0 0 2】

##### 【従来の技術】

従来、固体撮像装置としては、その S N 比の良さから C C D が多く使われている。しかし、一方では、使い方の簡便さや消費電力の小ささを長所とするいわゆる増幅型固体撮像装置の開発も行われてきた。増幅型固体撮像装置とは、受光画

素に蓄積された信号電荷を画素部に備わったトランジスタの制御電極に導き、増幅された信号を主電極から出力するタイプのものであり、増幅用トランジスタとしてSITを使ったSIT型イメージセンサ(A. Yusa, J. Nishizawa et al., "SIT image sensor: Design consideration and characteristics," IEEE trans. Vol. ED-33, pp. 735-742, June 1986.)、バイポーラトランジスタを使ったBASIS(N. Tanaka et al., "A 310K pixel bipolar imager (BASIS)," IEEE Trans. Electron Devices, vol. 35, pp. 646-652, May 1990)、制御電極が空乏化するJFETを使ったCMD(中村ほか"ゲート蓄積型MOSフォトリソトランジスタイメージセンサ", テレビ学会誌, 41, 11, pp. 1075-1082 Nov., 1987)、MOSトランジスタを使ったCMOSセンサ(S. K. Mendis, S. E. Kemeny and E. R. Fossom, "A 128×128 CMOS active image sensor for highly integrated imaging systems," in IEDM Tech. Dig., 1993, pp. 583-586.)などがある。特にCMOSセンサはCMOSプロセスとのマッチングが良く、周辺CMOS回路をオンチップ化できることから、開発に力が注がれている。増幅型固体撮像装置に共通する課題は、各画素に備わる増幅用トランジスタの出力オフセットが各画素毎に異なるため、イメージセンサの信号としては固定パターンノイズ(FPN)がのるということであるが、このFPNを除くため、従来色々な信号読み出し回路が工夫されている。一方、CMOSセンサには、ひとつの画素を構成するためのMOSトランジスタ数が多く、画素の面積を縮小するのが難しいという欠点がある。

### 【0003】

図8は、従来のCMOSイメージセンサを示す回路図であり、同図において1は単位画素であって、簡単のため2×2画素としている。2は光を受け信号電荷を蓄積するためのフォトダイオード、3は信号電荷増幅用のMOSトランジスタ

、4は2のフォトダイオードに蓄積された信号電荷を3のゲート電極部に転送するための転送用MOSトランジスタ、5は3のゲート電極電位をリセットするためのリセット用MOSトランジスタ、6は電源電位供給線であり、5の増幅用MOSトランジスタのドレイン電極が、電源電位供給線6に接続されている。7は画素出力線、8は出力線7を通してリセット電位を供給するためのスイッチ用MOSトランジスタ、9は画素出力線8に定電流を供給するための定電流供給用MOSトランジスタであり、選択された画素の選択スイッチ7を通して増幅用MOSトランジスタ3をソースフォロワとして動作させ、MOSトランジスタ3のゲート電位とある一定の電圧差を持つ電位が出力線7に表れるようにしている。10は転送用MOSトランジスタ4のゲート電位を制御するための転送制御線、11はリセット用MOSトランジスタ5のゲート電位を制御するためのリセット制御線、12はMOSトランジスタスイッチ8のゲート電位を制御するパルスを供給するための制御線、13はMOSトランジスタ9が定電流供給源となるような飽和領域動作をするようにMOSトランジスタ9のゲートに一定の電位を供給するための定電位供給線である。14は転送制御線10に転送パルスを供給するためのパルス端子、15はリセットパルスを提供すべき画素として全行を指定するためのパルス供給端子、16はリセット制御線11にリセットパルスを提供するためのパルス供給端子、17は行列配置の画素の行を順次選択走査するための垂直走査回路、18は垂直走査回路の出力線であって18-1は第1行選択出力線、18-2は第2行選択出力線である。19は制御線10にパルス端子14からのパルスを導くためのスイッチ用MOSトランジスタ、20はパルス供給端子15と垂直走査回路17の出力とを入力とし、リセット行を指定するためのORゲート、21は制御線11にパルス端子16からのパルスを導くためのスイッチ用MOSトランジスタであって、19、21のMOSトランジスタのゲートは行選択出力線18に接続され、どの行の画素が駆動されるかは、行選択出力線18の状態と端子15の状態とによって決まる。次に22は画素からの出力読み出し回路であり、23は画素のリセット信号出力を保持するための容量、24は画素の光信号出力を保持するための容量、25は画素出力線7と容量23との導通をオンオフするためのスイッチ用MOSトランジスタ、26は画素出力線7と容量2



4 との導通をオンオフするためのスイッチ用 MOS トランジスタ、27 は容量 23 に保持されたりセット出力が導かれるノイズ出力線、28 は容量 24 に保持された光信号出力が導かれる信号出力線、29 は容量 23 とノイズ出力線 27 との導通をオンオフするためのスイッチ用 MOS トランジスタ、30 は容量 24 と信号出力線 28 との導通をオンオフするためのスイッチ用 MOS トランジスタ、31 はノイズ出力線 27 の電位をリセットするためのノイズ出力線リセット用 MOS トランジスタ、32 は信号出力線 28 の電位をリセットするためのノイズ出力線リセット用 MOS トランジスタ、33 は 31 および 32 のリセット用 MOS トランジスタのソース電極にリセット電位を供給するための電源端子、34 は行列配置の画素の列毎に設けられた上記容量 23, 24 を順次選択していくための水平走査回路であって、35-1 は第 1 列を選択する出力線、35-2 は第 2 列を選択する出力線であり、この水平走査回路の出力線はスイッチ用 MOS トランジスタ 29, 30 に接続されている。また 36 はリセット用 MOS トランジスタ 31, 32 のゲートにパルスを印加するためのパルス供給端子、37, 38 は各々スイッチ用 MOS トランジスタ 25, 26 のゲートにパルスを印加するためのパルス供給端子、39 はノイズ出力線 27 の電位と信号出力線 28 の電位との差電圧分を増幅して出力する差動アンプ、40 は差動アンプ 39 の出力端子である。41 は MOS トランジスタ 9 のゲートへのパルス供給端子、42 は MOS トランジスタ 8 のゲートへのパルス供給端子、43 は MOS トランジスタ 8 を通して画素出力線 7 にリセット電位を供給するための電位供給端子である。また、44 はそれぞれ MOS トランジスタ 4, 5 のドレイン、MOS トランジスタ 3 のゲートが接続されていて、信号電荷が転送用 MOS トランジスタ 4 から転送されてくる、いわゆるフローティングディフュージョン（以下 FD と称する）である。

#### 【0004】

次に図 9 のタイミングチャートを使い、図 8 のセンサの動作を説明する。なお、図 8 で示されている MOS トランジスタはすべて N 型とし、ゲート電位が High のレベルでオン状態、Low のレベルでオフ状態になるとする。図 8 におけるタイミングパルスを示す番号は図 7 におけるパルス入力端子の番号と一致させている。

## 【0005】

まず垂直走査回路 17 の動作によって 18-1 が High となると画素行列の第 1 行が選択される。また、この時端子 41 は Low レベル、端子 42 は High レベルであり、画素出力線 7 の電位は端子 43 より供給される電位で決まる (t1)。まず端子 15 が High となると、OR ゲート 20 により、全行の MOS スイッチ 21 が ON 状態となるので、端子 16 から供給されるパルスにより、全画素の FD 44 の電位は端子 43 の電位にリセットされる (t2)。次に端子 15 が Low レベルになると、MOS スイッチ 21 は選択行である第一行におけるもののみが ON 状態となる。この状態において、端子 43 の電位をある電圧分だけ上げ、端子 16 からパルスが供給されると、第一行の画素の FD 44 の電位が端子 43 の電位にリセットされる (t3)。次に、端子 42 を Low レベルとして、MOS スイッチ 8 を OFF とし、端子 41 の電位を MOS トランジスタ 9 が定電流を供給できるような電位に設定する。この時、第一行の MOS トランジスタ 3 のゲート電位は第一行以外の行の MOS トランジスタ 3 のゲート電位よりも高い電位レベルにリセットされており、第一行の MOS トランジスタ 3 がソースフォロワ動作し、第一行以外の MOS トランジスタ 3 は非導通状態にある。このため、選択された第一行の画素の増幅用 MOS トランジスタ 3 のソースが出力線 7 を通して定電流源 9 と接続することで画素のソースフォロワ出力が出力線 7 に出力される (t4)。この状態で端子 37 に High パルスを印加すると、第一行画素のリセット出力が MOS トランジスタ 25 を通して容量 23 に蓄積される (t5)。次に端子 14 に High パルスを印加することで第一行のスイッチ MOS トランジスタ 19 を通して、制御線 10 に High パルスが伝わり、フォトダイオードに蓄積された信号電荷が転送用 MOS トランジスタ 4 を通して MOS トランジスタ 3 のゲートに転送される。この時、画素出力線には画素のリセット出力に信号が上乘せされた出力に相当する電位となる (t6)。この状態において端子 38 に High パルスを印加すると、画素のリセット出力に信号が上乘せされた出力が MOS トランジスタ 26 を通して容量 24 に蓄積される (t7)。画素のリセット出力は各画素の MOS トランジスタ 3 のしきい値電圧のばらつきがあるためばらつきを生じる。よって容量 23 と容量 24 に蓄積された出力の

差分がノイズのない純粋な信号となる。引き続き水平走査回路 34 を動作させると 35-1、35-2 が順次 High となり、各列の容量 23、24 に蓄積された出力はそれぞれ MOS トランジスタ 29、30 を通して水平出力線 27、28 に導かれる。35-1、35-2 の High パルスが出力される前には端子 36 を High とし、MOS トランジスタ 31、32 を通して水平出力線 27、28 をリセットしておくことが必要である。水平出力線 27、28 に導かれた画素リセット出力および画素リセットレベルに上乘せされた信号出力は差動アンプ 39 に入力され、リセットレベル分が差し引かれた、すなわちノイズのない画素信号が出力端子 40 から出力される (t8、t9)。

#### 【0006】

次に、垂直走査回路 17 の動作により、18-1 が Low レベル、18-2 が High レベルになると、第二行が選択行されるが、第二行駆動のためのパルスタイミングは第一行の時と同様である。

#### 【0007】

以上の動作において、リセット電位供給端子 43 の電位は MOS トランジスタ 3 の特性に応じて決められるが、選択行のソースフォロワのみ動作し、非選択行の MOS トランジスタ 3 は非道通となるような電位変化が設定される。

#### 【0008】

以上説明したように、画素中に選択用 MOS トランジスタがなくても CMOS センサは動作し、高い SN 比の信号を出力することができる。

#### 【0009】

また、特公平 08-004131 において、画素信号の増幅を行うバイポーラ トランジスタのベース電極を行方向に MOS 型 トランジスタで直列接続し、前記 MOS トランジスタで接続されたベースをリセットするというものもある。

#### 【0010】

##### 【発明が解決しようとする課題】

しかしながら上記従来の技術で説明した CMOS センサにおいても、ひとつの画素にはフォトダイオード以外に 3 つの MOS トランジスタがある。一方、固体撮像装置のなかでもっとも広く使われているインターライン型 CCD の画素には

、フォトダイオード以外には転送ゲートと垂直CCDがあるだけであり、小さいサイズの画素を形成するには、CMOSセンサはCCDに比べてまだ不利であった。

#### 【0011】

また、特公平08-004131におけるセンサにおいても、行方向に接続するリセット用のMOSトランジスタの制御電極用配線が必要となり、画素の面積を縮小化をするのは困難である。

#### 【0012】

##### 【課題を解決するための手段】

上記課題を解決するために、光電変換を行い、光電変換によって生じた信号電荷を蓄積する光電変換部と、前記光電変換部で発生した信号電荷を増幅して出力する増幅用トランジスタとを含む画素を複数配置してなる撮像装置において、隣接する2つの前記画素にそれぞれ含まれる前記増幅用トランジスタの制御電極領域と接続された第一導電型の第一の半導体領域からなる主電極と、前記光電変換部を形成する半導体領域のうち前記第一の半導体領域と反対導電型の第二導電型の半導体領域と同電位であって、第二導電型の第二の半導体領域からなる制御電極領域とで構成され、前記第一の半導体領域を直列接続する接合形電界効果トランジスタと、前記接合形電界効果トランジスタの主電極領域に所定の電位を供給する電位供給手段とを有することを特徴とする撮像装置を提供する。

#### 【0013】

##### 【発明の実施の形態】

以下で説明する実施の形態1～3は、行方向に隣接する画素のFDを主電極とし、上記隣接FDの中間部、すなわち従来構造では素子分離部にあたる場所にCMOSセンサ画素のウェル電位と電位を同じくする制御電極を設けた構成のJFETを行方向に直列接続し、画素領域の端における上記JFETの主電極からリセット電位を供給することにより、画素のFDのリセットを行う。

#### 【0014】

##### （実施の形態1）

図1は本発明の実施形態1をあらわすイメージセンサ等価回路図であり、同図

において、45は横方向に隣接するフローティングデュフュージョン(FD)をソース、ドレインとし、光電変換部であるフォトダイオード2やMOSトランジスタ3の基板となる半導体層と同一の導電型半導体層により形成されかつ基板半導体と同一の電位となるゲートを持つ接合形電界効果トランジスタ(JFET)、46は増幅用トランジスタ3のドレインとFD44との間の容量、47は増幅用トランジスタ3のドレインに接続する電源配線6と電源VDDとをスイッチするためのP型MOSトランジスタ、48は配線6と電位供給端子43とをスイッチするためのMOSトランジスタ、49はPMOSトランジスタ47のゲートとMOSトランジスタ48のゲートとに制御パルスを供給するための端子、50は垂直走査回路17の出力を反転するためのインバータ、51は、読み出し動作において選択行となる画素のFD44を、JFET45を通してリセットするための第一のリセット電位供給端子、52は、読み出し動作において非選択行となる画素のFD44を、JFET45を通してリセットするための第二のリセット電位供給端子、53は第一のリセット電位の画素部への供給を制御するためのMOSトランジスタ、54は第二のリセット電位の画素部への供給を制御するためのMOSトランジスタ、56は、前記第一、第二のリセット電位供給端子51、52とJFET45のドレインとをスイッチするためのMOSトランジスタである。

#### 【0015】

図1において、容量46は、寄生的に生ずるものである場合と、設計上意図的に付加する場合とがある。また、端子43は図1においては画素出力線7のリセット電位供給端子となる。またJFET45のピンチオフ電圧すなわちしきい値電圧は $-V_{PO}$ とする。よってJFET45のソース、ドレインの電位がともに $V_{PO}$ 以上の時にはJFET45はオフ状態であり、ソースまたはドレインの電位が $V_{PO}$ より低ければJFET45はオン状態となる。また、選択行のFDのリセット端子51の電位を $V_{R1}$ 、非選択行のFDのリセット端子52の電位を $V_{R2}$ とすると、 $0 < V_{R2} < V_{R1} < V_{PO}$ なるように設定される。端子43の画素出力線リセット電位を $V_{R3}$ とすると、 $V_{R3}$ は接地レベルあるいは接地レベルよりわずかに高い程度の、電源電位VDDより十分に低い電位に設定され

る。なお、図1において、図7と同じ部材については同一の番号を付し、説明を省略する。

### 【0016】

次に図2のタイミングチャートを使い、図1のセンサの動作を説明する。なお、図1で示されているMOSトランジスタは特にことわらないかぎりN型とし、ゲート電位がHighのレベルでオン状態、Lowのレベルでオフ状態になるとする。また、図2におけるタイミングパルスを示す番号は図1におけるパルス入力端子の番号と一致させている。

### 【0017】

まず垂直走査回路17の動作によって18-1がHighとなって画素行列の第1行が選択されると、まず選択行および非選択行のFDのリセットがおこなわれる。そのために、端子41はLowレベル、端子42、49、56はHighレベルとなり、電源配線6および画素出力線7の電位は端子43より供給される電位VR3となる。また選択行である第一行の画素のFD電位は、MOSトランジスタ53、55およびJFET45を通してVR1にリセットされ、第一行以外の非選択行の画素のFD電位は、MOSトランジスタ54、55およびJFET45を通してVR2にリセットされる(t1)。FDのリセットが終了した後、まず端子56をLowとして、画素へのFDリセット電位の供給スイッチであるMOSトランジスタ55をオフ状態とする(t2)。その直後、端子42、49をLOWレベルとすると、MOSトランジスタ8、48がオフ、P型MOSトランジスタ47がオン状態となり、配線6の電位はVR3から電源電位VDDに上昇する。この時、選択行である第一行の画素のFD電位は、容量46および増幅用MOSトランジスタ3がオン状態にあればそのゲート-チャンネル間容量を通して上昇する。このうち、増幅用MOSトランジスタ3のゲート-チャンネル間容量は、FD44の電位と画素出力線7の電位差がMOSトランジスタ3のしきい電圧値よりも小さい状態にある条件下で上記容量結合に寄与する。非選択行のFD電位も、同様に容量結合を通して上昇するが、VR2<VR1という条件のために、MOSトランジスタ47、48のオンオフ切り替え前の非選択行の増幅用MOSトランジスタ3はよりオフ状態に近く、したがってそのゲート-チャ

ンネル間容量の有効性は、選択行よりも少ないので、そのFD上昇分は、選択行FDの電位上昇分よりも小さい。なお上記動作後、非選択行のFD電位はVR2 < VR1である上に、電位上昇分も選択行よりも小さいので、選択行FD電位よりも十分に低くなる。またこの時、選択行のFD電位がVPOよりも十分高くなるように、VR1、VR3、容量46、MOSトランジスタ3のゲート容量が設定されている必要がある。選択行FD電位がVPOよりも十分に高ければ、選択行のJFET45はオフ状態となって、選択行の各画素は独立に動作する(t3)。この状態で端子41の電位をMOSトランジスタ9が定電流を供給できるような電位に設定する。選択行である第一行のMOSトランジスタ3のゲート電位は第一行以外の行のMOSトランジスタ3のゲート電位よりも高い電位レベルにリセットされており、第一行のMOSトランジスタ3がソースフォロワ動作し、第一行以外のMOSトランジスタ3は非導通状態となる(t4)。この後は従来の技術で説明したのと同じ動作にしたがって画素1および読み出し回路22を動作させる。画素からの出力を容量23、24に蓄積した後、引き続き水平走査回路34を駆動する直前に、垂直走査回路17の動作にしたがって18-1がLow、18-2がHighレベル、すなわち選択行が第2行目に切り替わる。第一行の出力信号の水平走査が行われているあいだに、第二行目の画素のFD電位リセットがおこなわれ、今度は第二行目の画素のFD電位がVRS1に、第二行以外の画素のFD電位がVRS2にリセットされる。その後は、先に説明した動作の繰り返しである。

#### 【0018】

図3は、図1で説明した実施形態1の画素の平面レイアウトのひとつの例である。図3において、図1と同じ部材には同じ番号を付してある。MOSトランジスタのゲートは10で示した模様で表されるポリシリコン、6、7は金属配線よりなる。45で示したJFETの中央の模様はゲート部分を表し、60で示した図形は、半導体層またはポリシリコン配線と金属配線とを接続するためのコンタクトホールである。61は、FD44とMOSトランジスタ3とのゲートを接続する金属配線である。なお容量46は寄生的に形成されるとして、図3では特に示していない。

## 【0019】

図4は、図3におけるA-Bに沿う線での断面図を示している。同図において、転送MOSトランジスタのゲート10、FD部44、FD部44からの接続配線61は、図1、図3と同じ番号で示している。62はN型半導体基板、63は画素の基板となるP型ウエル、64は素子分離部である厚いシリコン酸化膜、65は半導体界面部にあるP型半導体層、66は光信号電荷が蓄積されるN型半導体層であり、63、64、65によって埋め込み型フォトダイオードが形成される。67は隣接画素のFD部、68はP型半導体層、69はN型半導体層であり、44、67がソース、ドレイン、63、68がゲート、69がチャンネルとなってJFETが形成される。JFETの片側ゲート68は図4に垂直な方向の一部でP型ウエル63と接し、63と同電位となるように形成されている。

## 【0020】

図1、図3で示したように、本第一実施例においては画素に用いるMOSトランジスタは信号電荷転送用と増幅用の2つであり、また図4で示すように、JFETのゲート部は、従来では素子分離部となる箇所に形成されるので、従来に比べて余分な面積をとらず、結局、従来CMOSセンサ画素に比べて、リセット用MOSトランジスタがない分小さい面積の画素形成が可能となる。

## 【0021】

以上説明したように、本発明第一の実施例によれば、画素中に選択用MOSトランジスタとFDリセット用MOSトランジスタのない構成でCMOSセンサを形成、動作させることができ、従来よりも小さい画素で高いSN比の信号を出力することができるイメージセンサを提供することができる。

## 【0022】

(実施の形態2)

図5は、本発明実施例二を表す画素の等価回路図であり、ひとつのFDと増幅用MOSトランジスタが、独立したふたつのフォトダイオードとからの信号電荷を受ける構成になっている。同図において、71はふたつのフォトダイオードを含む画素単位すなわちイメージセンサとしての2画素分を含む単位、2-1は画素単位71に含まれるひとつ目のフォトダイオード、2-2はもうひとつのフォ



トダイオード、4-1はフォトダイオード2-1の信号電荷を転送するためのMOSトランジスタ、4-2はフォトダイオード2-2の信号電荷を転送するためのMOSトランジスタ、10-1は転送用MOSトランジスタ4-1の転送ゲート線、10-2は転送用MOSトランジスタ4-2の転送ゲート線である。図5において、図1と同じ部材については図1と同一の番号を付し、説明を省略する。

### 【0023】

図5の画素単位71を配列したイメージセンサの駆動は第一実施例と基本的に同様であり、垂直駆動回路は画素単位1行ごとに出力し、また71の一行にフォトダイオードが二行分あるので、ゲート線10-1と10-2とを独立に駆動するようにすれば、各フォトダイオードの増幅信号出力を独立に読み出すことができる。

### 【0024】

なお上記実施形態二において、画素単位71はふたつのフォトダイオードを含む構成であるが、3つ以上のフォトダイオードを含む構成としてもよい。

### 【0025】

以上実施形態二によれば、複数のフォトダイオードに対してひとつの増幅用MOSトランジスタとJFETとを要するだけであり、第一実施例に比べて、イメージセンサとしての単位画素に要するMOSトランジスタ数が少なくなり、さらに小さい画素で高いSN比の信号を出力するイメージセンサを提供することができる。

### 【0026】

(実施の形態3)

図6は本発明の実施形態3における画素の等価回路図であり、同図において72は行選択線、73はFD44と行選択線72とのあいだに形成される容量である。図6において図1と同一の部材については同一の番号を付し、説明を省略する。

### 【0027】

実施形態3が実施形態2と異なる点は、図6における電源配線6は電源VDD

に固定されていること、また J F E T をととして F D 4 4 をリセットするためのリセット電位は 1 種類であり、選択行と非選択行とで分かれていないことである。信号読み出しを行う行の選択は、行選択線 7 3 の電位を L o w レベルから H i g h レベルとし、容量 7 3 による容量結合を通して F D 4 4 の電位を上昇させることによっておこなう。行選択線 7 3 を H i g h レベルにする直前に、図 1 に示した M O S トランジスタ 5 5 のようなスイッチによって、J F E T へのリセット電位供給をオフすること、選択行の画素の F D の電位を J F E T のピンチオフ電圧 V P O よりも十分高いレベルに上昇させることは実施形態一と同じであり、以下実施形態 1 と同様に、選択された行の画素の増幅信号を読み出し回路に出力する。一度選択された行が再び選択されるまでには、少なくとも 1 フィールド期間あり、F D のリセットはこの期間に行えばよく、実施形態 1 のように F D リセットの供給電位によって選択行を決め、1 水平走査期間中に選択行の F D リセットをおこなわれなければならない状況に比べてリセット動作時間に十分な余裕をとることができる。

#### 【0028】

なお、図 6 に示した画素は、図 1 で示した画素よりも行選択線がふえているが、増幅用 M O S トランジスタ 3 の電源供給線を行方向に走らせ、その電位を各行で独立に制御できるようにして行選択線と兼用する構成にすることもできる。この場合には図 1 の画素にくらべて、構成部材が増えることもなくなる。また図 6 では、ひとつの増幅用 M O S トランジスタがひとつのフォトダイオードに対応しているが、実施形態 2 で示したようにひとつの増幅用に複数のフォトダイオードが対応するような構成においても本実施形態 3 が適用できる。

#### 【0029】

以上、実施形態 3 によれば、単位画素に要する M O S トランジスタ数が少ないため、C M O S イメージセンサを構成する画素を小さくでき、しかも F D のリセット時間が十分とれるため、水平走査が高速動作するイメージセンサにも適用できる。よって、小さい画素で構成され、高い S N 比の信号を高速出力するイメージセンサを提供することができる。

#### 【0030】

なお、実施形態 1、2、3 の説明で示した画素は、P 型基板（P 型ウェル）に形成される N 型 MOS トランジスタ、N 型 J F E T、信号電荷担体としての電子を基本に構成されているが、N 型基板に形成される P 型 MOS トランジスタ、P 型 J F E T、信号電荷担体としてのホールを基本に構成されているものであってもよい。また、図 1 では画素の駆動回路は片側のみに形成されているが、駆動回路が両側に形成されたものであってもよく、この時には画素の F D のリセット電位供給が両側からおこなわれるので、F D リセットに要する時間を短くできる。さらに、画素の増幅用トランジスタとしては MOS トランジスタでなく、接合型電界効果トランジスタ等、他のタイプのトランジスタであってもよい。

#### 【0031】

また、上記の実施形態 1、3 では、増幅用トランジスタとフォトダイオードとの間に、転送用 MOS トランジスタを設ける構成を示したが、転送用 MOS トランジスタがなく、増幅用トランジスタとフォトダイオードとが直接接続される構成であってもよい。

#### 【0032】

この構成の場合では、最初のフォトダイオードで発生した信号を増幅用トランジスタから読み出し、その後、F D をリセットすることにより得られる信号を読み出すような構成となるため、リセットノイズを削減することが出来ず、ノイズの面で劣るが、より一層の画素の縮小化につながる。

#### 【0033】

（実施の形態 4）

図 7 に基づいて、上記で説明した実施形態 1～3 で説明したイメージセンサを用いた撮像システムについて説明する。

#### 【0034】

図 7 において、101 はレンズのプロテクトとメインスイッチを兼ねるバリア、102 は被写体の光学像をイメージセンサ 104 に結像させるレンズ、103 はレンズ 102 を通った光量を可変するための絞り、104 はレンズ 102 で結像された被写体を画像信号として取り込むためのイメージセンサ、105 は、イメージセンサ 104 から出力される画像信号を増幅するゲイン可変アンプ部及び

ゲイン値を補正するためのゲイン補正回路部等を含む撮像信号処理回路、106はイメージセンサ104より出力される画像信号のアナログーデジタル変換を行うA/D変換器、107はA/D変換器106より出力された画像データに各種の補正を行ったりデータを圧縮する信号処理部、108はイメージセンサ104、撮像信号処理回路105、A/D変換器106、信号処理部107に、各種タイミング信号を出力するタイミング発生部、109は各種演算と撮像システム全体を制御する全体制御・演算部、110は画像データを一時的に記憶する為のメモリ部、111は記録媒体に記録または読み出しを行うためのインターフェース部、112は画像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体、113は外部コンピュータ等と通信する為のインターフェース部である。

#### 【0035】

次に、前述の構成における撮影時のスチルビデオカメラの動作について説明する。

#### 【0036】

バリア1がオープンされるとメイン電源がオンされ、次にコントロール系の電源がオンし、更にA/D変換器106などの撮像系回路の電源がオンされる。

#### 【0037】

それから、露光量を制御する為に、全体制御・演算部109は絞り103を開放にし、イメージセンサ104から出力された信号はA/D変換器106で変換された後、信号処理部107に入力される。

#### 【0038】

そのデータを基に露出の演算を全体制御・演算部109で行う。

#### 【0039】

この測光を行った結果により明るさを判断し、その結果に応じて全体制御・演算部109は絞りを制御する。

#### 【0040】

次に、イメージセンサ104から出力された信号をもとに、高周波成分を取り出し被写体までの距離の演算を全体制御・演算部109で行う。その後、レンズ

を駆動して合焦か否かを判断し、合焦していないと判断した時は、再びレンズを駆動し測距を行う。

【0041】

そして、合焦が確認された後に本露光が始まる。

【0042】

露光が終了すると、イメージセンサ104から出力された画像信号はA/D変換器106でA/D変換され、信号処理部107を通り全体制御・演算部109によりメモリ部に書き込まれる。

【0043】

その後、メモリ部110に蓄積されたデータは、全体制御・演算部109の制御により記録媒体制御I/F部を通り半導体メモリ等の着脱可能な記録媒体112に記録される。

【0044】

また、外部I/F部113を通り直接コンピュータ等に入力して画像の加工を行ってもよい。

【0045】

【発明の効果】

本発明では、画素の縮小化が図れる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1を説明するイメージセンサ回路図である。

【図2】

本発明の実施の形態1のイメージセンサ動作を説明するタイミングチャートである。

【図3】

本発明の実施の形態1を説明する画素の平面レイアウト図である。

【図4】

本発明の実施の形態1を説明する画素の断面構造図である。

【図5】

本発明の実施の形態 2 を説明するイメージセンサの画素の回路図である。

【図 6】

本発明の実施の形態 3 を説明するイメージセンサの画素の回路図である。

【図 7】

本発明の実施の形態 4 を説明する撮像システムの図である。

【図 8】

従来例を説明するイメージセンサ回路図である。

【図 9】

従来例のイメージセンサ動作を説明するタイミングチャートである。

【符号の説明】

- 1 画素
- 2 フォトダイオード
- 3 画素ソースフォロワ用 MOS トランジスタ
- 4 信号電荷転送用 MOS スイッチ
- 5 リセット用 MOS スイッチ
- 6 電源線
- 7 画素出力線
- 8 画素出力線リセット用 MOS スイッチ
- 9 定電流供給用 MOS トランジスタ
- 10 信号電荷転送用制御線
- 11 リセット用制御線
- 12 ゲート配線
- 13 ゲート電位供給線
- 14 転送パルス入力端子
- 15 リセットパルス制御端子
- 16 リセットパルス入力端子
- 17 垂直シフトレジスタ
- 18-1 垂直シフトレジスタ出力線
- 18-2 垂直シフトレジスタ出力線

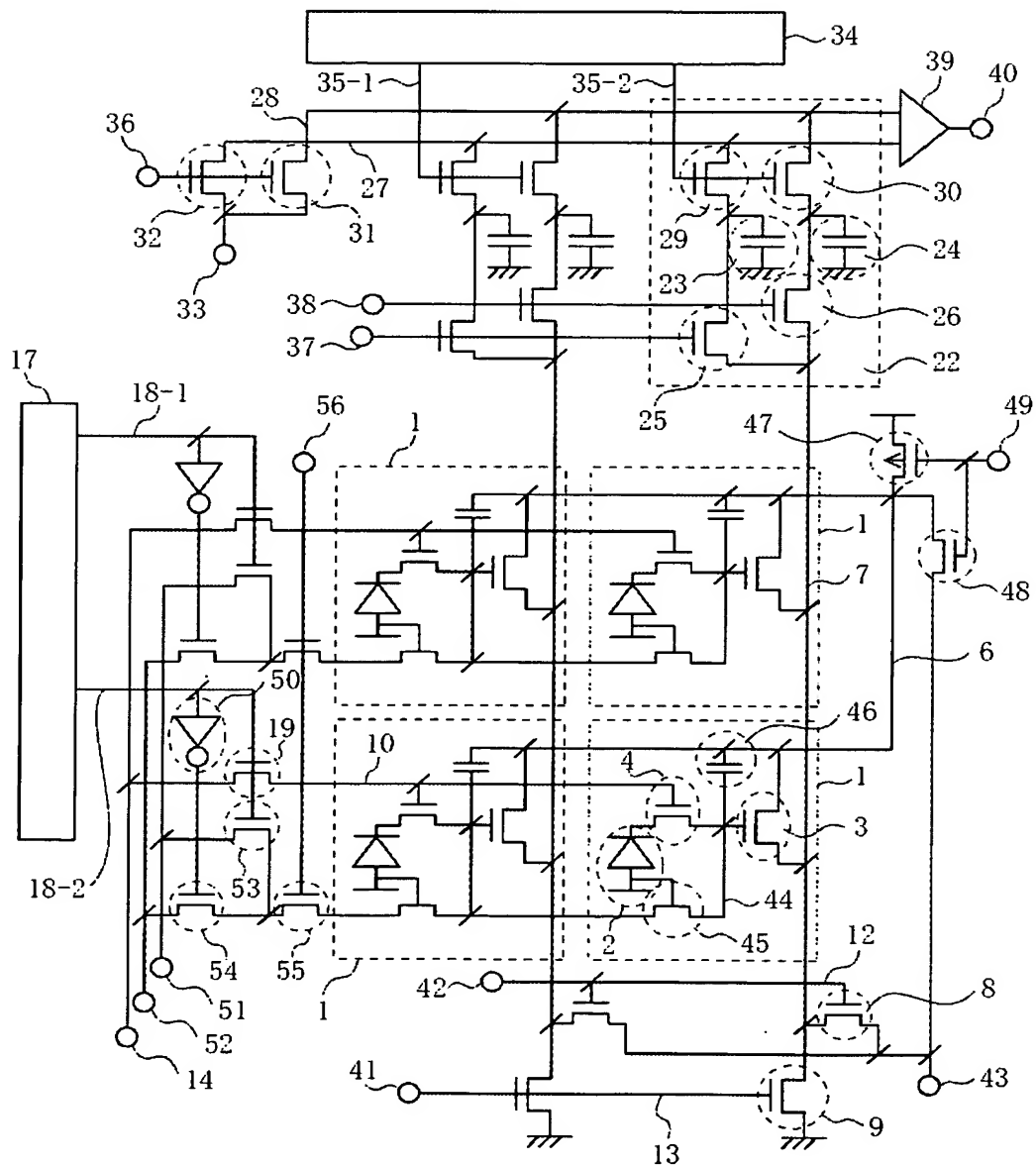
- 1 9 MOS トランジスタ
- 2 0 OR ゲート
- 2 1 MOS トランジスタ
- 2 2 読み出し回路ブロック
- 2 3 蓄積容量
- 2 4 蓄積容量
- 2 5 スイッチ用 MOS トランジスタ
- 2 6 スイッチ用 MOS トランジスタ
- 2 7 水平出力線
- 2 8 水平出力線
- 2 9 スイッチ用 MOS トランジスタ
- 3 0 スイッチ用 MOS トランジスタ
- 3 1 リセット用 MOS トランジスタ
- 3 2 リセット用 MOS トランジスタ
- 3 3 リセット電位供給端子
- 3 4 水平シフトレジスタ
- 3 5 - 1 水平シフトレジスタ出力線
- 3 5 - 2 水平シフトレジスタ出力線
- 3 6 パルス入力端子
- 3 7 パルス入力端子
- 3 8 パルス入力端子
- 3 9 差動アンプ
- 4 0 センサ信号出力端子
- 4 1 電位供給端子
- 4 2 パルス入力端子
- 4 3 リセット電位供給端子
- 4 4 フローティングディフュージョン
- 4 5 J F E T
- 4 6 容量

- 4 7 P 型 MOS トランジスタ
- 4 8 MOS トランジスタ
- 4 9 パルス入力端子
- 5 0 インバーター
- 5 1 パルス入力端子
- 5 2 パルス入力端子
- 5 3 スイッチ用 MOS トランジスタ
- 5 4 スイッチ用 MOS トランジスタ
- 5 5 スイッチ用 MOS トランジスタ
- 5 6 パルス入力端子
- 6 0 コンタクトホール
- 6 1 メタル配線
- 6 2 N 型半導体基板
- 6 3 P 型ウエル
- 6 4 素子分離用シリコン酸化膜
- 6 5 P 型半導体層
- 6 6 N 型半導体層
- 6 7 F D 部
- 6 8 P 型半導体層
- 6 9 N 型半導体層
- 7 1 画素単位
- 7 2 行選択線
- 7 3 容量

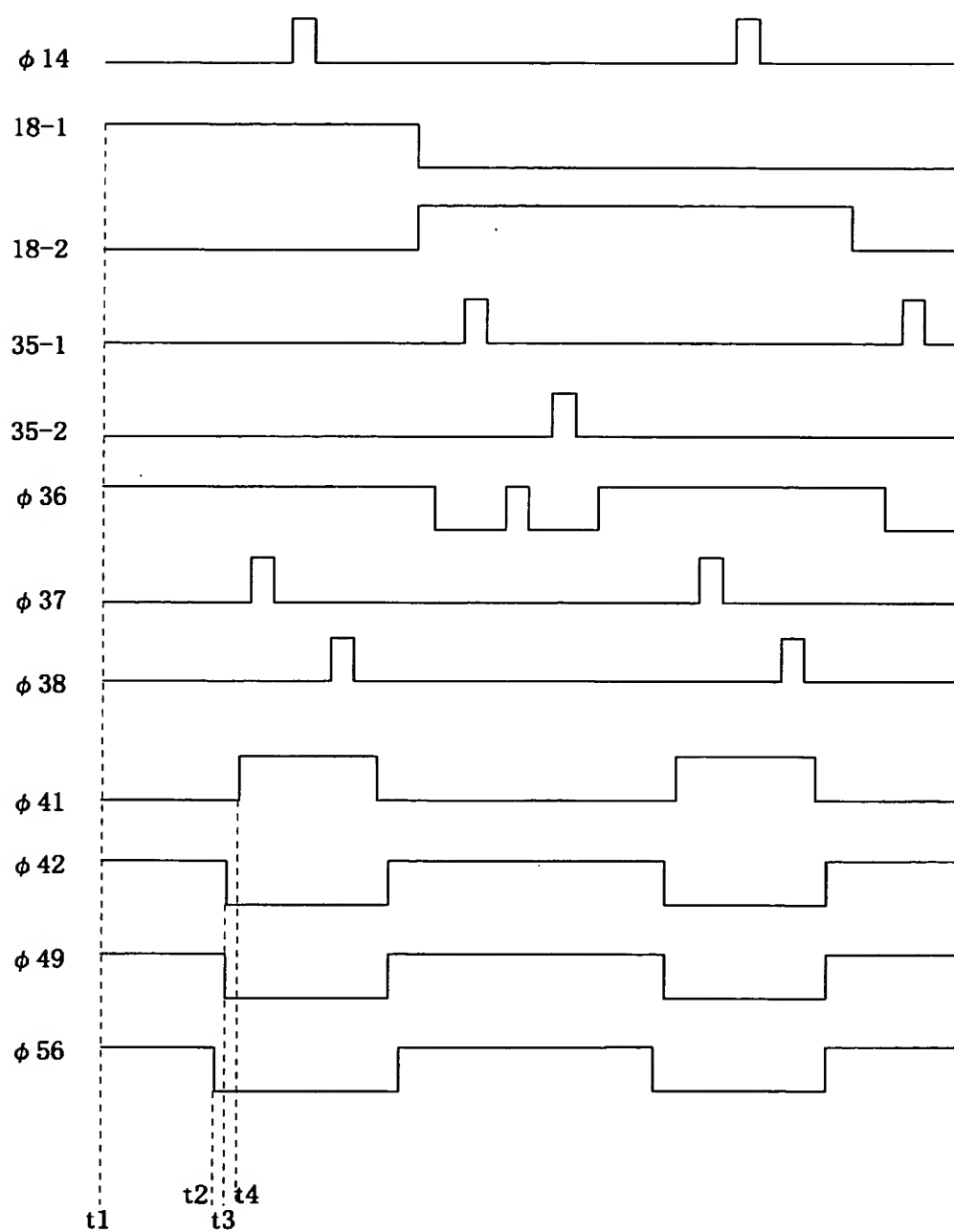


【書類名】 図面

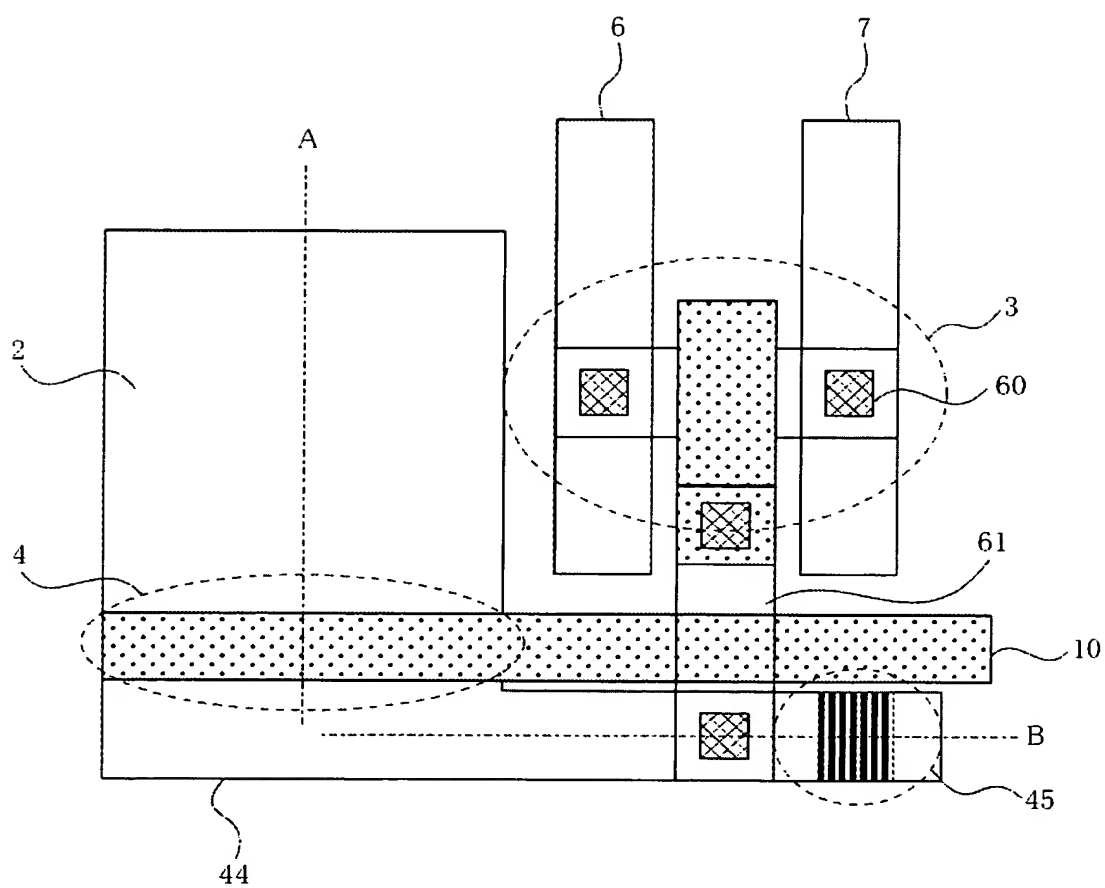
【図 1】



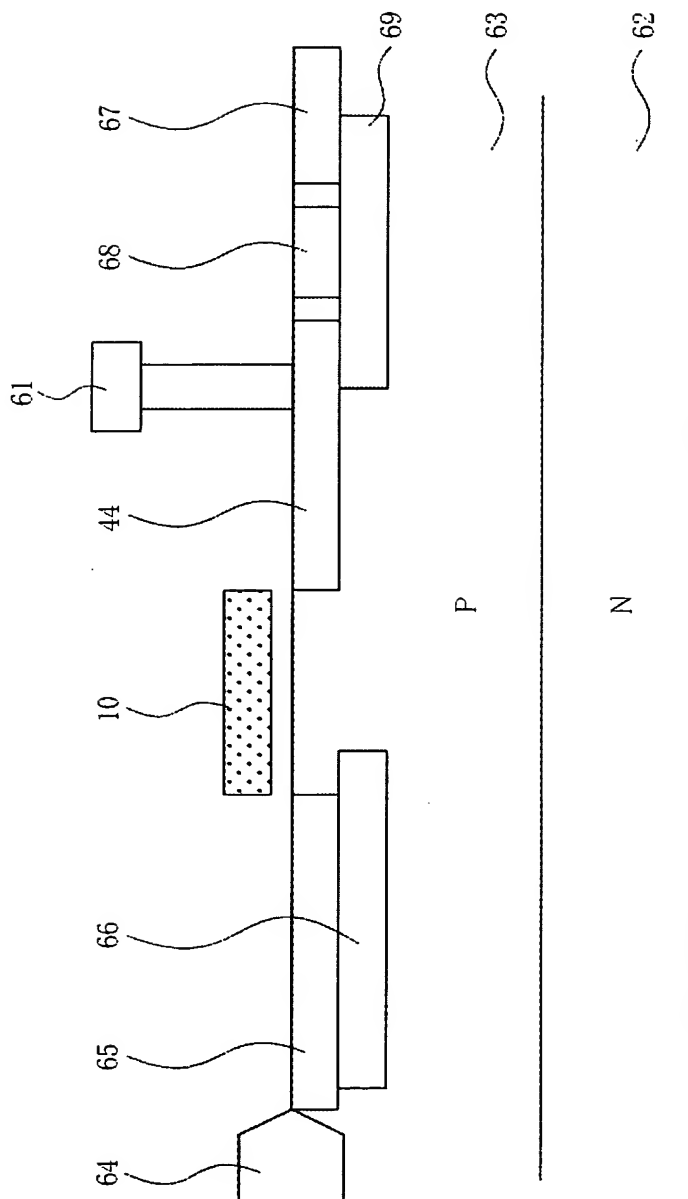
【図 2】



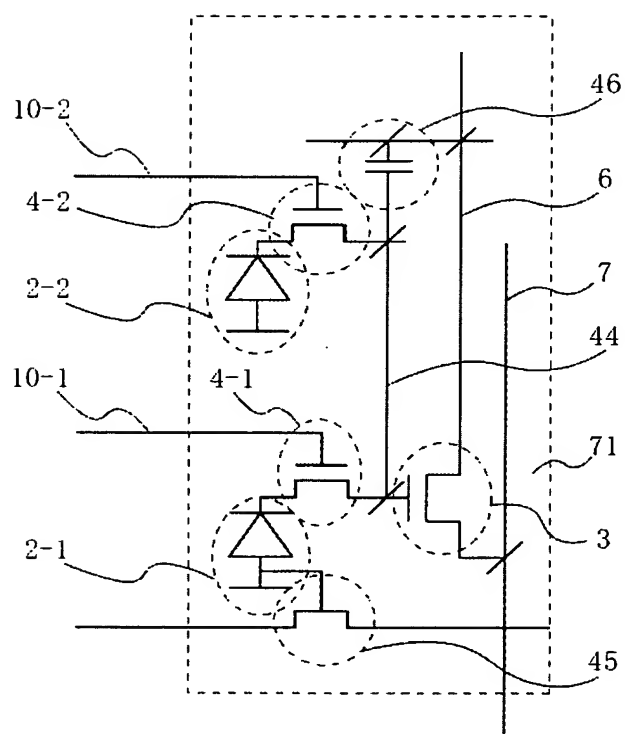
【図 3】



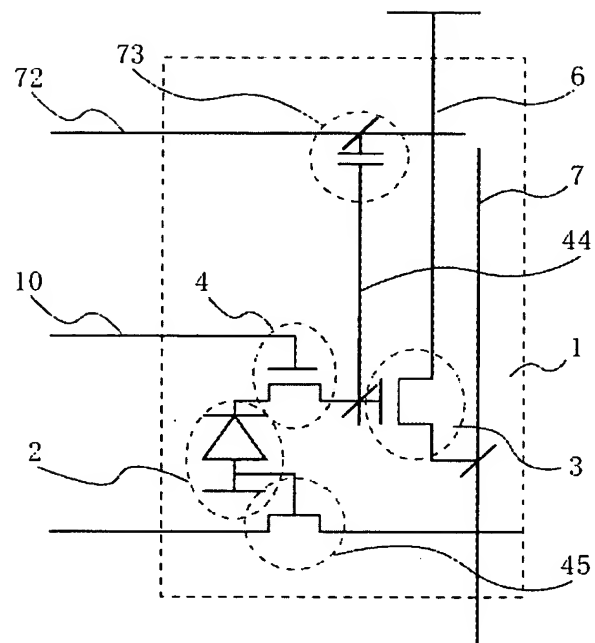
【図 4】



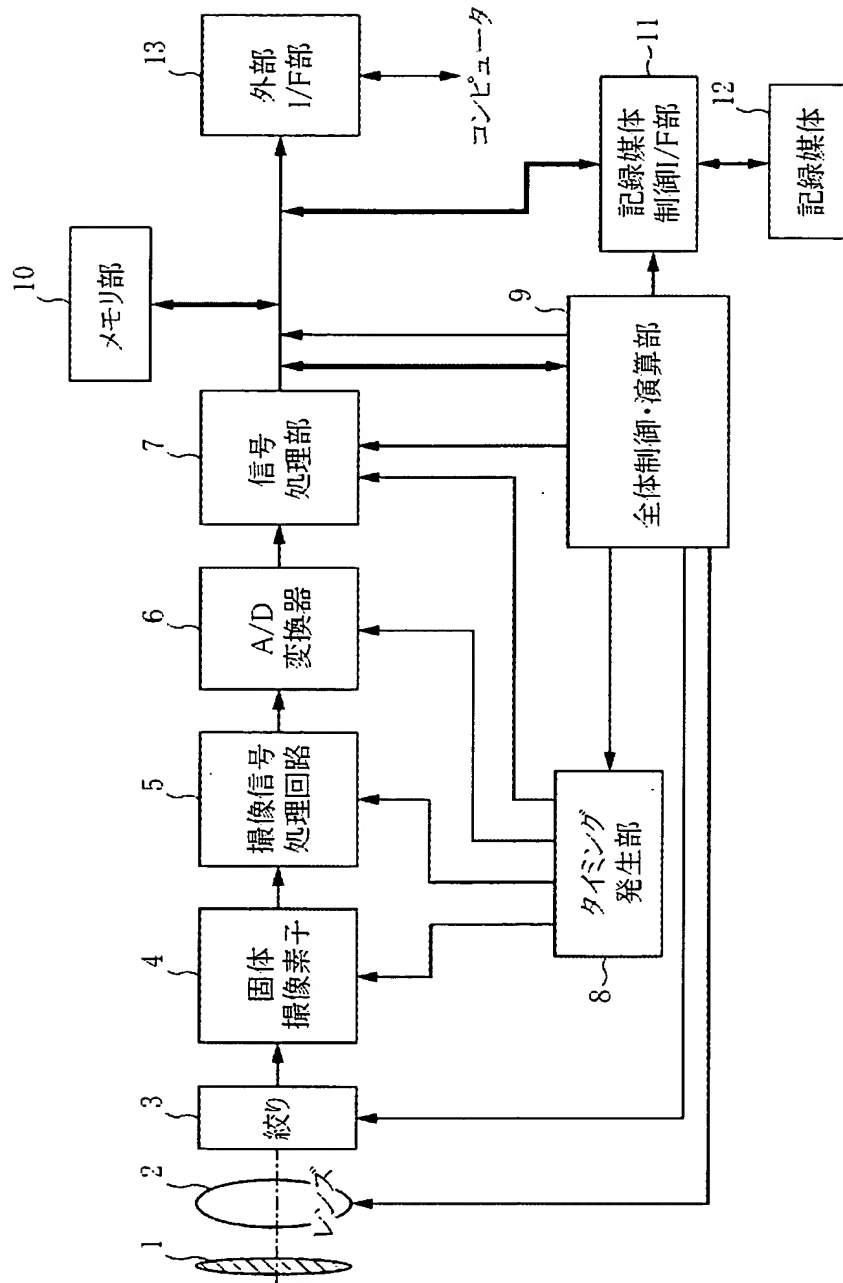
【図 5】



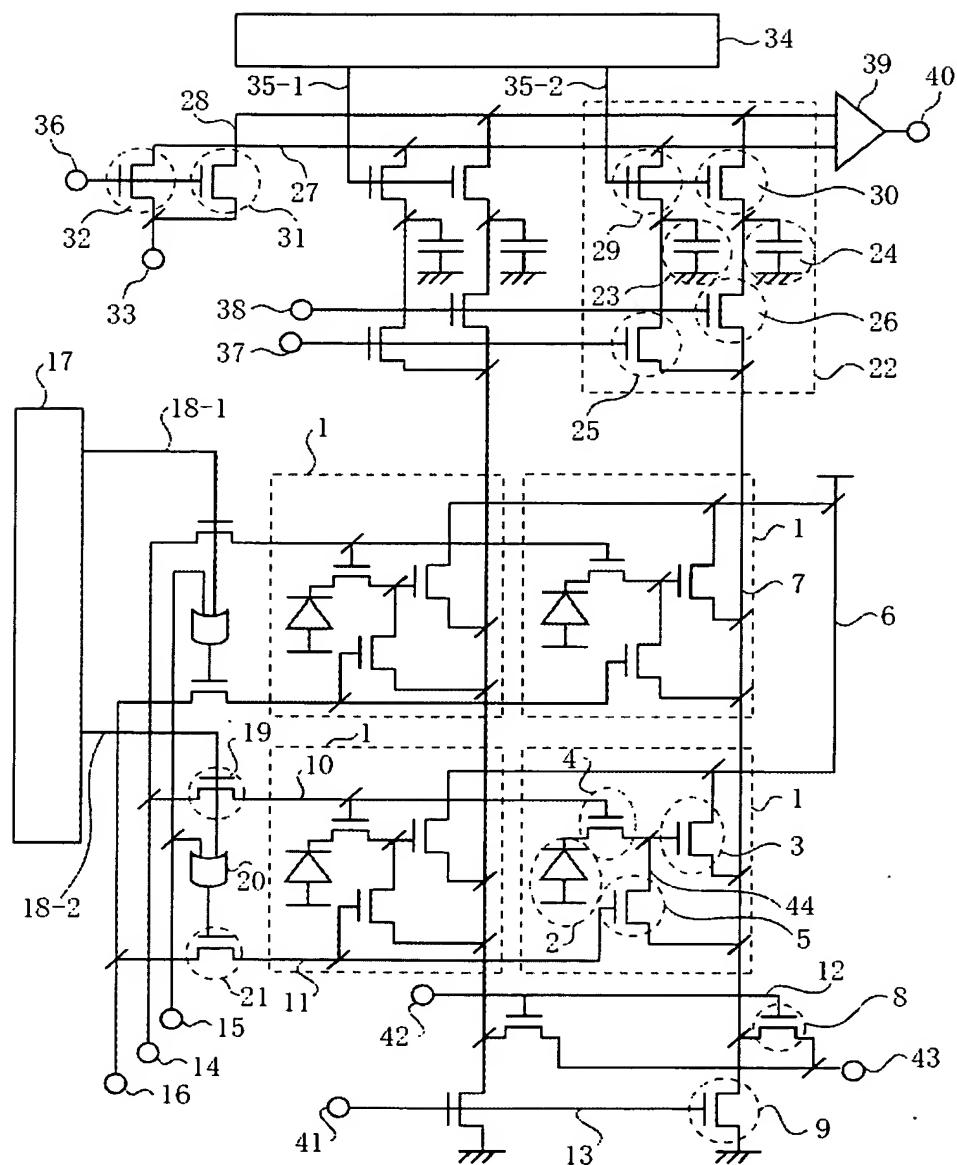
【図 6】



【図 7】

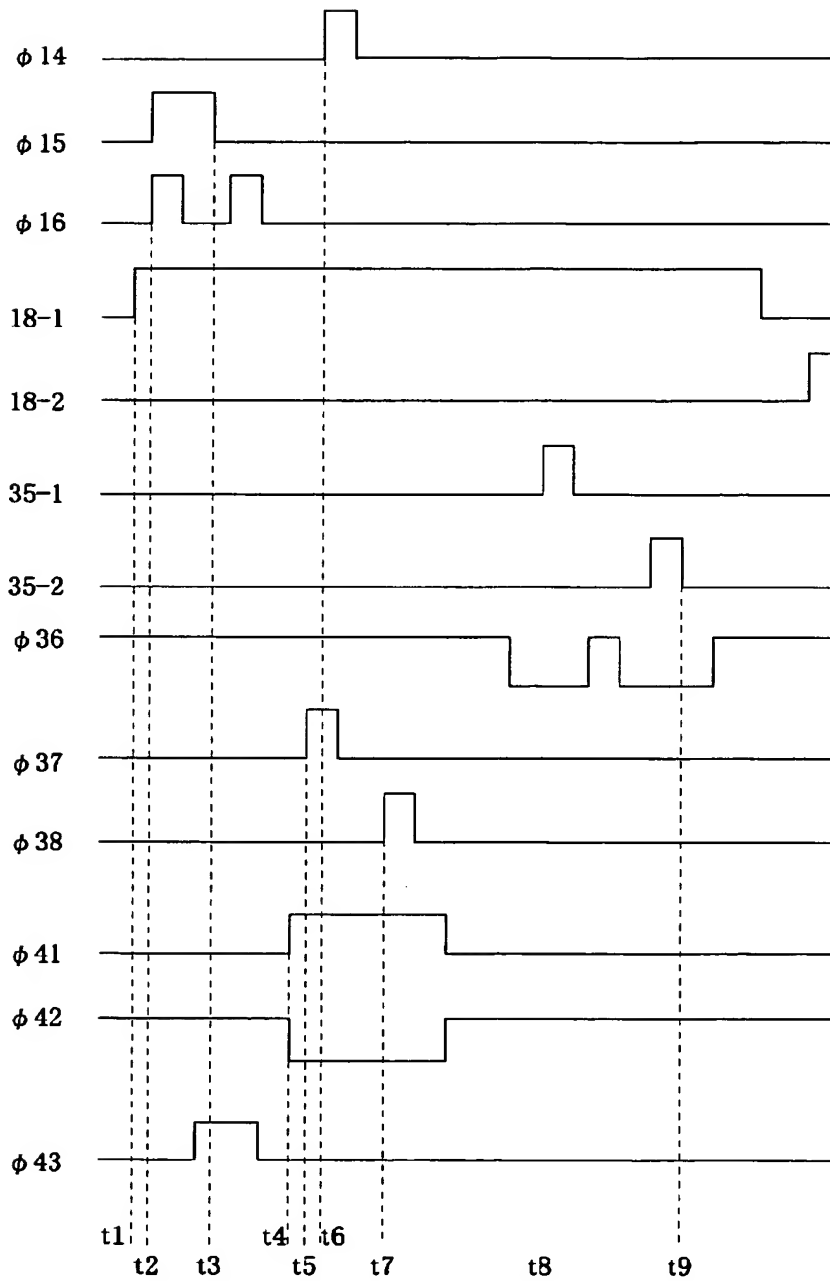


【図 8】





【図 9】



【書類名】 要約書

【要約】

【課題】 画素の縮小化を課題とする。

【解決手段】 光電変換を行い、光電変換によって生じた信号電荷を蓄積する光電変換部と、前記光電変換部で発生した信号電荷を増幅して出力する増幅用トランジスタとを含む画素を複数配置してなる撮像装置において、隣接する2つの前記画素にそれぞれ含まれる前記増幅用トランジスタの制御電極領域と接続された第一導電型の第一の半導体領域からなる主電極と、前記光電変換部を形成する半導体領域のうち前記第一の半導体領域と反対導電型の第二導電型の半導体領域と同電位であって、第二導電型の第二の半導体領域からなる制御電極領域とで構成され、前記第一の半導体領域を直列接続する接合形電界効果トランジスタと、前記接合形電界効果トランジスタの主電極領域に所定の電位を供給する電位供給手段と、を有することを特徴とする撮像装置を提供する。

【選択図】 図1

特願 2 0 0 2 - 2 4 0 5 5 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 0 0 7 ]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キャノン株式会社